



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08148595 A**(43) Date of publication of application: **07.06.96**

(51) Int. Cl.

H01L 23/04(21) Application number **06286301**(22) Date of filing: **21.11.94**(71) Applicant: **SUMITOMO METAL IND LTD**(72) Inventor: **UEDA SATORU
IKEDA TAKASHI**(54) **SEMICONDUCTOR DEVICE**

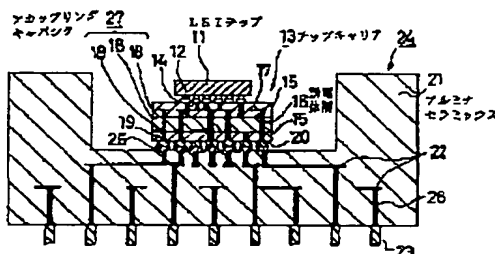
(57) Abstract:

PURPOSE: To obtain a semiconductor device having the characteristics of a high mounting density, high-speed operation, low noise and excellent durability, by providing a glass-ceramic chip carrier having a decoupling capacitor on a base board made of alumina, etc., while connecting it with the wirings of the base board, and by mounting a semiconductor chip on the chip carrier through a flipped chip connection method.

CONSTITUTION: On a base board 24 made of alumina or aluminium nitride wherein both on its surface and in its inside signal wiring layers 22 are formed, a chip carrier 13 made of glass ceramics which has a decoupling capacitor is connected with the signal wiring layers 22, and on the chip carrier 13 a semiconductor chip 11 is mounted by a flipped chip connection method. For example, in the chip carrier 13, inside a glass ceramics 15, a dielectric layer 16 made of such a material having a high dielectric constant as BaTiO_3 is formed, and power supply and grounding layers 18, 18 having noble metals as their main components are so formed that the dielectric layer 16 is interposed between them, and thereby, the decoupling capacitor 27 is formed out of

the dielectric layer 16 and the power supply and grounding layers 18, 18.

COPYRIGHT (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-148595

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl.⁵

H 0 1 L 23/04

識別記号

D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平6-286301

(22) 出願日 平成6年(1994)11月21日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 上田 哲

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(72) 発明者 池田 尊士

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

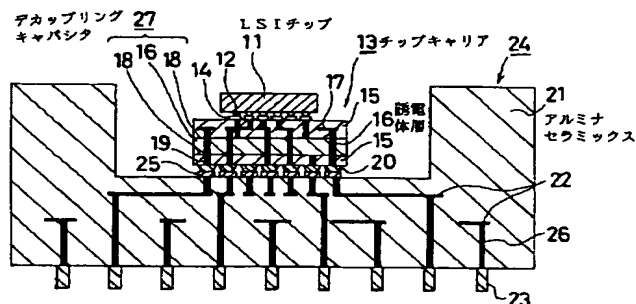
(74) 代理人 弁理士 井内 龍二

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 表面及びその内部に信号層22が形成されたアルミナ52からなるベース基板(パッケージ)21上に、デカップリングキャパシタ27を有するガラスセラミックスからなるチップキャリア13が接続され、チップキャリア13の上にLSIチップ11がフリップチップ実装されている半導体装置。

【効果】 チップキャリア13中に高誘電体材料よりなるデカップリングキャパシタ27を内蔵することができ、しかもチップキャリア13の熱膨張率をSiに近い値にすることができ、LSIチップ11との信頼性の高い接続を確保することができる。また、チップキャリア11とパッケージ21とはBGA20により接続されているので、高密度実装が可能になり、パッケージ21はアルミナ21からなるので、機械的特性や絶縁性に優れたものとすることができる。そのため、高密度、高速、低雑音で耐久性に優れた半導体装置とすることができる。



1

【特許請求の範囲】

【請求項1】 表面及びその内部に信号配線層が形成されたアルミナ又は窒化アルミニウムからなるベース基板上に、デカップリングキャパシタを有するガラスセラミックスからなるチップキャリアが接続され、該チップキャリアの上に半導体チップがフリップチップ実装されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、より詳細には大型コンピュータ、ワークステーション等における画像処理、通信等の技術分野で使用される半導体装置に関する。

【0002】

【従来の技術】 近年、IC、LSIなどの集積回路（以下、これらをまとめてLSIと記す）は高速、大容量化の一途をたどり、そのために用いられる信号は高周波化され、また内部回路は高集積化されてきている。そのため、これらに起因してLSIが搭載されたパッケージで発生するスイッチングノイズがLSIを誤動作させる要因として問題となっている。そこで、このようなスイッチングノイズを低減させるべく、デカップリングキャパシタが搭載されたパッケージが、最近多く使用されるようになってきている。

【0003】 従来から用いられている高速、大容量のLSIが搭載されるパッケージには、その電気特性を維持するために、電源層及び接地層が前記パッケージ中に形成された多層構造のもの（積層パッケージ）が使用されている。

【0004】 図3は、前記積層パッケージにLSIが搭載された半導体装置を模式的に示した断面図であり、前記積層パッケージにはデカップリングキャパシタとして大容量のチップコンデンサ31が搭載されている。

【0005】 このチップコンデンサ31が搭載された積層パッケージにおいては、パッケージ30の中央部分に2段構造のキャビティ47が形成され、キャビティ47が形成されている面と反対側の面（以下、底面と記す）の端部付近にはチップコンデンサ31が配設されている。また、パッケージ30の内部には接地層34及び電源層35が形成されており、接地層34はキャビティ47底部の表面に露出している。一方、LSIチップ33は接着剤の役割も兼ねた導電性材料32によりキャビティ47底部の表面に接着されており、これにより接地層34とLSIチップ33の裏面とが接続されている。

【0006】 また、パッケージ30底面に配設されたチップコンデンサ31にはパッケージ30との接着部分の一部に接地パッド45が形成されており、この接地パッド45はパッケージ30の内部に形成された1本のビアホール39を通じて接地層34に接続されている。一方、この接地層34はビアホール48を介してパッケー

2

ジ30のピン43に接続されるとともに、パッケージ30のキャビティ47中段の表面に形成された多数の接地パッド37にも接続されており、この接地パッド37とLSIチップ33の接地パッド（図示せず）とはワイヤ36により接続されている。

【0007】 LSIチップ33とチップコンデンサ31との接地用配線の接続状態を整理してみると、まずLSIチップ33の多数の接地パッド（図示せず）からワイヤ36、キャビティ47に形成された接地パッド37、ビアホール38を介して導出された多数の電流路は接地層34に接続されて集約され、この接地層34から導出された1本のビアホール39を介してチップコンデンサ31に接続されていることになる。

【0008】 一方、電源用の配線についても、接地用の配線と同様の状態で配線がなされており、LSIチップ33からワイヤ40、パッケージ30に形成された電源パッド41、ビアホール42を介して導出された多数の電流路は電源層35に接続されて集約され、この電源層35はビアホール49を介してパッケージのピン43に接続されるとともに、1本のビアホール44を介し、チップコンデンサ31の電源パッド46に接続されている。

【0009】 このように、チップコンデンサ31と、接地層34又は電源層35との接続がそれぞれ1本のビアホール39、44によりなされているのは、チップコンデンサ31自体の寸法が小さく、従ってチップコンデンサ31の外部電極端子の寸法も小さいため、多数の配線（ビアホール）に接続することが難しいからである。

【0010】 このように、従来のデカップリングキャパシタ搭載の積層パッケージでは、チップコンデンサ31がパッケージ30の底部表面など、LSIチップ33から遠い位置に配置されているため、LSIチップ33側に用意された図示しない多数の電源パッド又は接地パッドからの配線が一旦電源層35又は接地層34で集約され、集約された配線がバイパス用のチップコンデンサ31に接続されており、そのために配線の長さが長くなり、結果としてインダクタンスが大きくなり、スイッチングノイズを効果的に低減できないという問題があった。

【0011】 また、図3に示したような構成のパッケージ30を使用すると、電源層35又は接地層34と接続するためのビアホール39、44が必要となり、内部配線層の複雑化のために、パッケージ30自体の製造コストが上昇し、装置自体も大きくなるという問題もあった。

【0012】 そこで、このような問題を解決するため、デカップリングキャパシタが同時焼成によりその内部に形成されたアルミナセラミックスパッケージが用いられている。

【0013】 図4は、前記アルミナセラミックスパッケー

ーに L S I が搭載された半導体装置を模式的に示した断面図である。ここでは、信号層、接地層、電源層等の詳しい配線の記載は省略する。

【0014】このパッケージ 5 4 は、必要によりその表面に導電体含有層が形成されたアルミナ粉末又は誘電体粉末を含むグリーンシートを積層した後、焼成することにより製造されている。従って、その内部には電源層、接地層 5 6 を有する誘電体層 5 3 が形成され、他方アルミナセラミックス 5 2 の内部には信号層 5 5 が形成されている。また、アルミナセラミックス 5 4 の表面にはワイヤボンディング用のパッド 5 7 及び図示しない配線層が形成され、L S I チップ 3 3 はワイヤ 5 9 によりパッド 5 7 に接続されている。パッド 5 7、信号層 5 5 及び電源層、接地層 5 6 は、必要によりビアホール 6 0 を介して互いに接続されており、最終的には I/O ピン 5 8 を介して図示しないプリント基板等の配線に接続されるようになっている。

【0015】

【発明が解決しようとする課題】内部に形成された電源層、接地層 5 6 を有する誘電体層 5 3 はデカップリングコンデンサの役割を果たしているが、このようなアルミナセラミックス 5 2 を基材とするパッケージ 5 4 に形成される誘電体層 5 3 は、その材質に限られる。すなわち、アルミナ粉末を焼成する際には、1500℃前後の還元性雰囲気中で焼成する必要があるため、 $PbTiO_3$ 、 $BaTiO_3$ 、 $SrTiO_3$ 、 $BaSrTiO_3$ 等の高誘電率材料を使用することができず、通常は Mo や W 等の高融点金属を含むアルミナセラミックスが誘電体層 5 3 として使用される。しかし、前記構成の誘電体層 5 3 はその比誘電率が 10～18 程度と低く、高容量のデカップリングコンデンサとするためには、多層化しなければならない、パッケージの小型化が図れないという課題があった。

【0016】またワイヤボンディングにより L S I 3 3 とパッケージに形成されたパッド 5 7 とを接続する方法では、L S I 側に形成するパッドはその領域が限られ、その数に限界があるため、高密度実装には適さないという課題もあった。

【0017】そこで最近、L S I を実装する際に、L S I のほぼ全面を使用することができるフリップチップボンディングによる実装方法が、高密度実装に適した方法として盛んに採用されている。

【0018】このフリップチップボンディングによりセラミックスパッケージに L S I を実装する際には、L S I を実装するパッケージ等に形成される電極パッドの位置精度が高いこと、パッケージの線膨張係数が S_i ($3.5 \times 10^{-6}/^{\circ}C$) に近いこと等が求められる。

【0019】この場合、アルミナ製のパッケージにベアチップを搭載すると、アルミナは線膨張係数が S_i より大きい ($7 \times 10^{-6}/^{\circ}C$)、L S I を接続した後の

冷却過程における線膨張係数の差により L S I に作用する応力が大きくなり、破壊され易くなる等の不都合が生じ、信頼性に劣るという課題があった。また、前述のように同時焼成によりアルミナ中に高誘電体材料を形成するのは難しいという課題もあった。

【0020】一方、線膨張係数が S_i に近いガラスセラミックス ($4 \sim 5 \times 10^{-6}/^{\circ}C$) をパッケージの材料とすると、焼成温度や焼成雰囲気がほぼ同じであるためその内部に高誘電体層を形成し易く、L S I を搭載した際の熱応力の作用による L S I の破壊等は起こりにくいが、強度等パッケージ材料としての機械的特性に劣り、信頼性を確保できないという課題があった。

【0021】そこで、本発明者らは高容量のデカップリングキャパシタが内蔵され、フリップチップ実装が可能であり、かつ機械的特性に優れたパッケージを有する半導体装置を得ることを目的にして検討を重ねた結果、フリップチップ実装が可能で高誘電体層を形成することが可能なガラスセラミックス性のチップキャリアを用い、一方パッケージの材料としては機械的特性に優れたアルミナあるいは窒化アルミニウムを用い、前記チップキャリアと前記パッケージとを BGA (Ball Grid Array) により接続することにより、前記した双方の材料の欠点を補い、高密度、高速、低雑音で耐久性に優れた半導体装置を実現することができることを見出し、本発明を完成するに至った。

【0022】

【課題を解決するための手段】すなわち本発明に係る半導体装置は、表面及びその内部に信号配線層が形成されたアルミナ又は窒化アルミニウムからなるベース基板上に、デカップリングキャパシタを有するガラスセラミックスからなるチップキャリアが接続され、該チップキャリアの上に半導体チップがフリップチップ実装されていることを特徴としている。

【0023】

【作用】上記構成の半導体装置によれば、表面及びその内部に信号配線層が形成されたアルミナ又は窒化アルミニウムからなるベース基板上に、デカップリングキャパシタを有するガラスセラミックスからなるチップキャリアが接続され、該チップキャリアの上に半導体チップがフリップチップ実装されているので、前記チップキャリアには高容量のデカップリングキャパシタが内蔵され、しかも前記チップキャリアの熱膨張率が S_i に近いため、信頼性の高いフリップチップとの接続が確保される。また、前記チップキャリアと前記ベース基板とは BGA により接続されているので、高密度実装が可能になり、前記ベース基板はアルミナ又は窒化アルミニウムからなるので、機械的特性や絶縁性に優れる。そのため、本発明に係る半導体装置は、高密度、高速、低雑音で耐久性に優れたものとなる。

【0024】

5

【実施例】以下、本発明に係る半導体装置の実施例を図面に基づいて説明する。

【0025】図1は実施例に係る半導体装置を模式的に示した断面図であり、図2は前記半導体装置に搭載されているLSIチップ及びチップキャリアを模式的に示した拡大断面図である。なお、配線はごく簡単に表示されている。

【0026】図2に示しているように、チップキャリア13の内部には、例えばホウ珪酸系ガラス、コージュライト(MgO-Al₂O₃-SiO₂)系ガラス、アノーサイト(CaO-Al₂O₃-SiO₂)系ガラス等からなるガラスセラミックス15の内部にPbTiO₃、BaTiO₃、SrTiO₃、BaSrTiO₃等の高誘電率材料からなる誘電体層16が形成されており、この誘電体層16を挟んでAu、Ag、Pd等の貴金属を主成分とした電源層、接地層18が形成され、誘電体層16及び電源層、接地層18によりデカップリングキャパシタ27が構成されている。また、このチップキャリア13の内部には同様の材質からなる信号層17が形成され、チップキャリア13の表面に形成された接続用パッド14と底面に形成されたボールグリッドアレイ20とは、信号層17、ビアホール19等を介して接続されており、電源層、接地層18は、その間に誘電体層16を介して接続されている。またチップキャリア13の表面に形成された接続用パッド14とLSIチップ11の接続用端子(ハンダバンプ)12が接続されている。

【0027】さらに図1に示すように、アルミナセラミックス21を基材とするパッケージ24の内部にはMo、W等を主成分とする材料による信号層22及びビアホール26が形成され、パッケージ24の表面に形成された接続用パッド25は信号層22及びビアホール26を介してろう付けにより形成されたI/Oピン23に接続されている。また、パッケージ24の表面に形成された接地用パッド25はチップキャリア13に形成されたBGA20とハンダ付け等により接続されている。

【0028】従って、LSIチップ11に形成された集積回路はチップキャリア13中に形成された回路及びパッケージ24中に形成された回路を介してパッケージ24に形成されたI/Oピン23に接続されている。なお、電源層、接地層18は誘電体層16を介して接続されており、誘電体層16及びその上下面に形成された電源層、接地層18はデカップリングキャパシタを構成しており、誘電体層16が高誘電率の材料より構成されているので、小さな面積のものでもスイッチングノイズ等を効果的に低減させることができる。

【0029】以上説明したように実施例に係る半導体装置にあつては、表面及びその内部に信号配線層が形成されたアルミナからなるベース基板上に、デカップリング

6

キャパシタを有するガラスセラミックスからなるチップキャリアが接続され、該チップキャリアの上にLSIチップ11がフリップチップ実装されているので、前記チップキャリア中に高容量のデカップリングキャパシタを内蔵することができ、しかも前記チップキャリアの熱膨張率をSiに近い値にすることができ、LSIチップ11との接続を信頼性の高いものにすることができる。また、前記チップキャリアと前記ベース基板とはBGAにより接続されているので、高密度実装が可能になり、前記ベース基板はアルミナからなるので、機械的特性や絶縁性に優れたものとすることができる。そのため、実施例に係る半導体装置を、高密度、高速、低雑音で耐久性に優れたものとすることができる。

【0030】

【発明の効果】以上詳述したように本発明に係る半導体装置にあつては、表面及びその内部に信号配線層が形成されたアルミナ又は窒化アルミニウムからなるベース基板上に、デカップリングキャパシタを有するガラスセラミックスからなるチップキャリアが接続され、該チップキャリアの上に半導体チップがフリップチップ実装されているので、前記チップキャリア中に高容量のデカップリングキャパシタを内蔵することができ、しかも前記チップキャリアの熱膨張率をSiに近い値にすることができ、半導体チップとの信頼性の高い接続を確保することができる。また、前記チップキャリアと前記ベース基板とはBGAにより接続されているので、高密度実装が可能になり、前記ベース基板はアルミナ又は窒化アルミニウムからなるので、機械的特性や絶縁性に優れたものとすることができる。そのため、本発明に係る半導体装置を、高密度、高速、低雑音で耐久性に優れたものとすることができる。

【図面の簡単な説明】

【図1】実施例に係る半導体装置を模式的に示した断面図である。

【図2】図1に示した半導体装置に搭載されているLSIチップ及びチップキャリアを模式的に示した拡大断面図である。

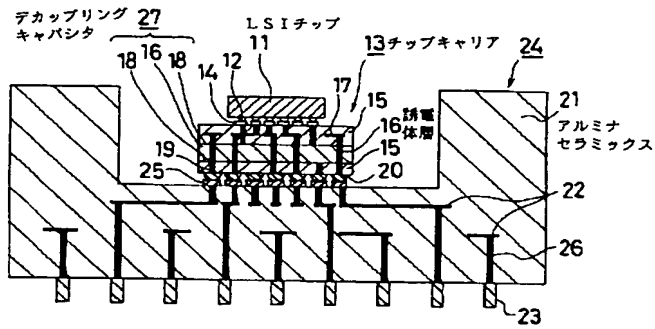
【図3】積層パッケージにLSIが搭載された従来の半導体装置を模式的に示した断面図である。

【図4】アルミナセラミックスパッケージにLSIが搭載された従来の半導体装置を模式的に示した断面図である。

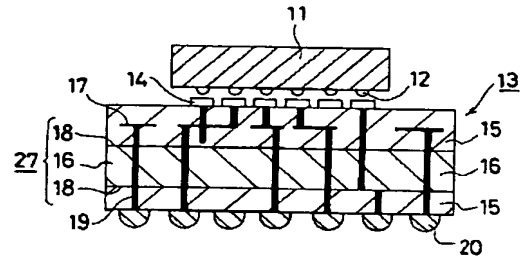
【符号の説明】

- 11 LSIチップ
- 13 チップキャリア
- 16 誘電体層
- 21 アルミナセラミックス
- 22 信号層
- 27 デカップリングキャパシタ

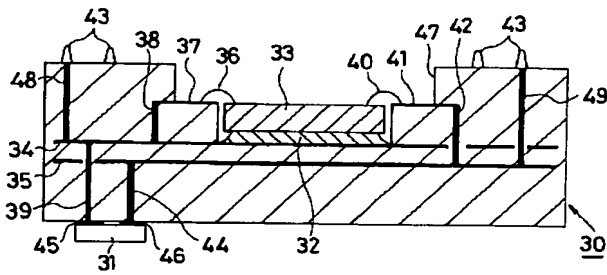
【図 1】



【図 2】



【図 3】



【図 4】

